

## 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請 日：西元 2003 年 06 月 27 日  
Application Date

申請 案 號：092117540  
Application No.

申 請 人：南亞科技股份有限公司  
Applicant(s)

局 長

Director General

蔡 續 生

發文日期：西元 2003 年 9 月 1 日  
Issue Date

發文字號：09220877590  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	具有幾何形狀溝槽之溝槽型電容的製程
	英文	Method of forming capacitors having geometric deep trench
二、 發明人 (共3人)	姓名 (中文)	1. 黃則堯 2. 陳逸男 3. 蔡子敬
	姓名 (英文)	1. Tse-Yao Huang 2. Yi-Nan Chen 3. Tzu-Ching Tsai
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 台北市南港區南港路二段142號13樓之1 2. 台北市北投區建民路151巷4號 3. 桃園縣蘆竹鄉南華一街39號10樓之9
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 南亞科技股份有限公司
	名稱或姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



四、中文發明摘要 (發明名稱：具有幾何形狀溝槽之溝槽型電容的製程)

本發明提供一種具有幾何形狀溝槽之溝槽型電容的製程，包括：提供一具有一墊層結構之基底；形成一第一硬罩幕層於該墊層結構上；形成一圖案化之第二硬罩幕層於該第一硬罩幕層上，露出一第一開口；形成一間隔層於該第一開口之側壁以構成一較小之第二開口；形成一第三硬罩幕層以填滿該第二開口；去除該間隔層，蝕刻該第一硬罩幕層，露出一第三開口，且該第一硬罩幕層於該第三開口內具有一第一硬罩幕層突出部份；以及蝕刻該第一硬罩幕層、該第一硬罩幕層突出部份、該墊層結構及該基板，以形成一具一中間突出部份之幾何形狀溝槽於該基板中。

伍、(一)、本案代表圖為：第2k圖。

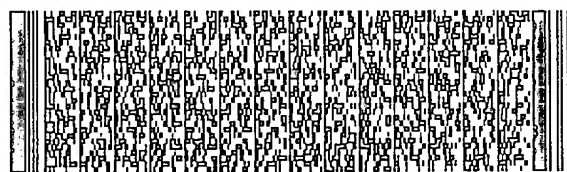
(二)、本案代表圖之元件代表符號簡單說明：

100~基板；

102~墊層結構；

六、英文發明摘要 (發明名稱：Method of forming capacitors having geometric deep trench)

A method of forming capacitors with geometric deep trenches. The method includes providing a substrate, sequentially forming a pad structure and a first hard mask layer on the substrate, forming a patterned second hard mask layer on the first hard mask layer to expose a first opening, forming a spacer layer on the two sides of the first hard mask layer to expose a second opening, filling the



四、中文發明摘要 (發明名稱：具有幾何形狀溝槽之溝槽型電容的製程)

106~ 中間突出部份；

110~ 第一硬罩幕層；

138~ 幾何形狀溝槽；

140~ 埋層電極板；

142~ 第一導電層；

144~ 第二導電層；

150~ 環絕緣層。

六、英文發明摘要 (發明名稱：Method of forming capacitors having geometric deep trench)

second opening with a third hard mask layer, removing the spacer layer, etching the first hard mask layer using the second hard mask layer and the third hard mask layer as masks to expose a third opening with a salient of first hard mask layer, and etching the first hard mask layer, the pad structure, and the substrate to form a geometric deep trench in the substrate.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

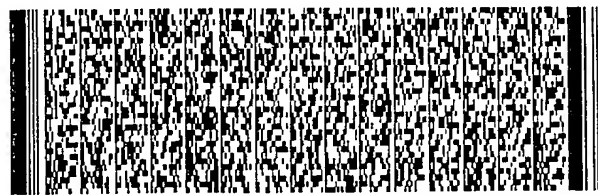
本發明係有關於製造半導體積體電路之溝槽電容器的方法，特別是有關於一種具有幾何形狀溝槽之溝槽型電容的製程方法。

### 【先前技術】

積體電路的發展技術日新月異，其發展趨勢往功能強大，尺寸縮小與速度加快的方向前進，而動態隨機存取記憶體(DRAM)的製造技術亦是如此，尤其是其記憶容量的增加更是最重要的關鍵。

現今大多數的DRAM單元是由一個電晶體與一個電容器所構成。隨著半導體製程朝著縮小半導體元件尺寸以提高元件密度之方向發展，DRAM記憶容量也增加到512百萬位元以上，因此記憶體中記憶胞的基底面積必須不斷減少使積體電路能容納大量記憶胞而提高密度。在元件積集度要求越來越高的情況下，記憶單元與電晶體的尺寸需要大幅縮小，才可能製造出記憶容量更高，處理速度更快的DRAM。然而，傳統堆疊式電容的設計方式，會占據太多晶片表面的面積而無法符合上述需求。

利用立體化的製程技術，可以大量地減少電晶體與電容器於半導體基底上所佔佈之面積，因此立體化技術開始被運用於DRAM的製程上，例如溝槽型電容器，相對於傳統平板式電晶體佔佈半導體表面相當大的面積，無法滿足目前高度積集化的需求，因此溝槽型電容器可大幅改善習知半導體記憶單元的缺點，成為目前及未來製造半導體記憶



## 五、發明說明 (2)

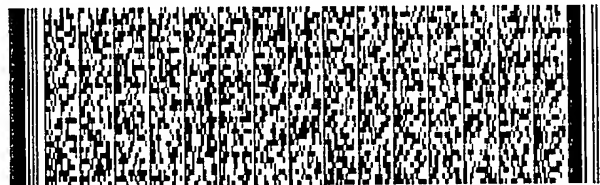
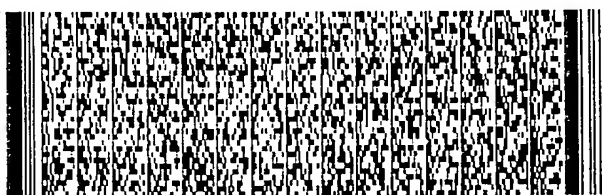
單元的主要潮流。

然而，在尺寸持續地細微化的情況下，動態隨機存取記憶體中的溝槽儲存結點電容 (trench storage node capacitance) 亦需隨著設法增加儲存電容以維持記憶體

良好的操作性能，因此必須提升記憶胞溝槽電容之表面積以儲存充足的電荷。雖然溝槽型電容可藉由增加溝槽深度來提升電容之表面積，但由於高深寬比的溝槽型電容在製程上有其限制，導致可增加之溝槽深度仍有一定之限定。

目前已廣泛使用於增加動態隨機存取記憶體之儲存電容的方法為增加溝槽底部的寬度，像是例如形成一可提高表面積之瓶型溝槽電容 (bottle shaped trench capacitor)，請參閱第1a圖，係顯示一習知的瓶形溝槽的製造方法之起始步驟。首先，於一矽基底10上形成一圖案化墊層 (pad layer) 12，然後以該圖案化墊層12為蝕刻罩幕，利用乾蝕刻方式於該矽基底10中形成一溝槽14，而該溝槽14具有一上部周圍部份16與一下部周圍部份18，且其開口微距為13。

然後，請參閱第1b圖，接著沉積一光阻層22於部分該溝槽14內而覆蓋住該溝槽14之下部周圍部份18。之後，順應性沉積一複晶矽犧牲層20於該溝槽14上部周圍部份16上。接著，請參照第1c圖，以非等向性蝕刻方式去除位於該墊層12及部份光阻層22上方的複晶矽犧牲層20。如此，即形成複晶矽犧牲層側壁24於溝槽14之上部周圍部份16上。



### 五、發明說明 (3)

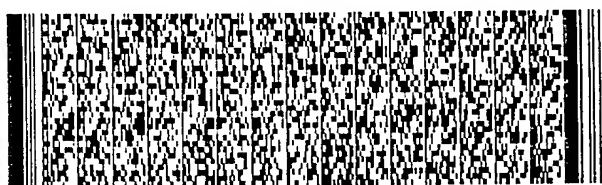
最後，請參照第1d圖，進行一濕蝕刻製程(亦稱wet bottle蝕刻製程)，以氨水或稀釋氫氟酸溶液(dilute HF solution)等向性蝕刻未被複晶矽犧牲層20保護的溝槽14下側之矽基底10，而形成溝槽14之瓶狀部份24，而該瓶狀部份24其微距15大於該溝槽14之開口微距13。然而上述製程所須步驟複雜，需以分別之製程先形成深溝槽再製作瓶型溝槽，由於蝕刻製程易形成錐形之溝槽，因此增加製程上之困難度，且由於瓶形溝槽在製程時，不易控制溝槽下部之形狀及瓶形溝槽之寬度，造成製程之不穩定性及幾何結構上之干擾，增加製程的困難度。

因此，在不增加溝槽深度及溝槽底部寬度的前提下，發展一種具有增加電容表面積以提昇儲存電容之溝槽型電容是目前動態隨機存取記憶體製造技術上之一項重要課題。

#### 【發明內容】

有鑑於此，本發明之目的在於提供一種具有幾何形狀溝槽之溝槽型電容的製程，係利用複數硬罩幕層之製程方式以改變溝槽型電容之溝槽形狀，藉由具有幾何形狀之溝槽以有效地增加溝槽型電容之表面積，以期在元件高度集積化及不增加溝槽深度之前提下，提昇儲存電容之能力以維持記憶體良好的操作性能。

此外，本發明提供一種在不需擴大溝槽底部寬度之情況下即能增加電容儲存之溝槽型電容的製程。



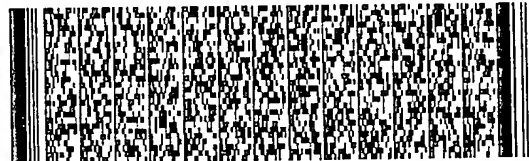
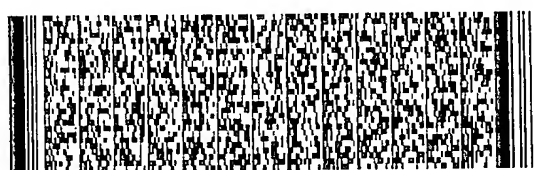


#### 五、發明說明 (4)

為獲致上述之目的，本發明所述之具有幾何形狀溝槽之溝槽型電容的製程，至少包括下列步驟：提供一基底；形成一墊層結構於該基底表面；形成一第一硬罩幕層於該墊層結構上；形成一圖案化之第二硬罩幕層於該第一硬罩幕層上，並露出部份之該第一硬罩幕層表面以構成一第一開口；形成一間隔層於上述第一開口側壁以構成一較小之第二開口；形成一第三硬罩幕層以填滿該第二開口；去除該間隔層，並以該第二硬罩幕層與該第三硬罩幕層作為蝕刻罩幕蝕刻該第一硬罩幕層，形成一具一第一硬罩幕層突出部份之第三開口；以及蝕刻該第一硬罩幕層、該第一硬罩幕層突出部份、該墊層結構及該基板，以形成一具一中間突出部份之幾何形狀溝槽於該基板中。

根據本發明所述之具有幾何形狀溝槽之溝槽型電容的製程，其中蝕刻該第一硬罩幕層、該第一硬罩幕層突出部份、該墊層結構及該基板，以形成一具一中間突出部份之幾何形狀溝槽於該基板中之步驟係包括：蝕刻該第一硬罩幕層、該第一硬罩幕層突出部份、該墊層結構及該基板，直至完全移除該第一硬罩幕層突出部份，以在基板上形成一環狀凹槽；以及蝕刻該基板所構成之該環狀凹槽及露出之該墊層結構，以形成一具一中間突出部份之幾何形狀溝槽於該基板中。

根據本發明所述之具有幾何形狀溝槽之溝槽型電容的製程，其中在以蝕刻方式去除部份該間隔層以露出該第二硬罩幕層表面及部份之該第一硬罩幕層表面以構成該第二



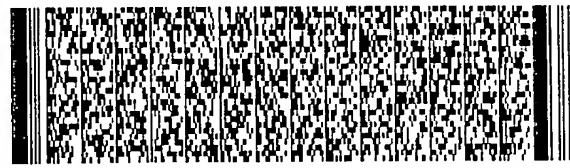
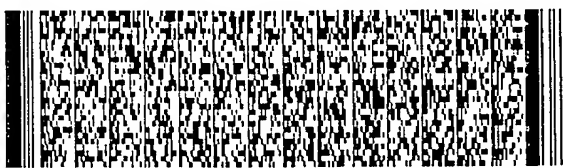
#### 五、發明說明 (5)

開口的步驟中，該第二開口的寬度係與形成之該間隔層厚度成反比。

根據本發明所述之具有幾何形狀溝槽之溝槽型電容的製程，其中該幾何形狀溝槽之該中間突出部份的寬度係與該第二開口的寬度成正比。

本發明所述之具有幾何形狀溝槽之溝槽型電容的製程亦可以另一方式表現，至少包括下列步驟：提供一基底；形成一墊層結構於該基底表面，該墊層結構依序由一墊氧化層與一墊氮化矽層所構成；形成一第一硬罩幕層於該墊層結構上；形成一圖案化之第二硬罩幕層於該第一硬罩幕層上，並露出部份之該第一硬罩幕層表面以構成一第一開口；形成一間隔層於上述第一開口側壁以構成一較小之第二開口；形成一第三硬罩幕層於露出之該第一硬罩幕層表面以填滿該第二開口；對該第三硬罩幕層進行一平坦化製程以去除形成於該第二開口外之該第三硬罩幕層；去除該間隔層，並以該第二硬罩幕層與該第三硬罩幕層作為蝕刻罩幕蝕刻該第一硬罩幕層，形成一具一第一硬罩幕層突出部份之第三開口；去除該該第二硬罩幕層與該第三硬罩幕層；蝕刻該第一硬罩幕層、該第一硬罩幕層突出部份、該墊層結構及該基板，直至完全移除該第一硬罩幕層突出部份，以在基板上形成一環狀凹槽；以及蝕刻該基板所構成之該環狀凹槽，以形成一具一中間突出部份之幾何形狀溝槽於該基板中。

根據本發明所述之具有幾何形狀溝槽之溝槽型電容的



## 五、發明說明 (6)

製程，其中在形成一具一中間突出部份之幾何形狀溝槽於該基板之步驟後，更包括形成一埋層電極板於構成上述幾何形狀溝槽之部分上述基板內；以及形成一環(collar)絕緣層及至少一層之導電層於上述幾何形狀溝槽內。

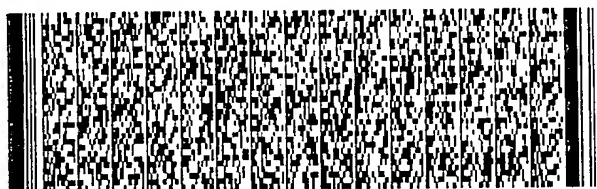
為使本發明之上述目的、特徵能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

### 【實施方式】

茲配合附圖將本發明之較佳實施例詳細說明如下：

第2a圖至第2j圖係繪示根據本發明一較佳實施例之具有幾何形狀溝槽之溝槽型電容的製程流程剖面圖。

首先請參照第2a圖，提供一半導體基底100，例如是P型矽基底、N型矽基底或磊晶矽基底。在本發明的敘述中，“基底”一詞係包括半導體晶圓上已形成的元件與覆蓋在晶圓上的各種塗膜，其上方可以已形成任何所需的半導體元件，不過此處為了簡化圖式，僅以平整的基板表示之。在矽基底100表面形成一墊層結構102，而該墊層結構102，可例如由一墊氧化層與一墊氮化矽層所構成，係先形成該墊氧化層102於基板100之表面上，再形成該墊氮化矽層於該墊氧化層上。其中該墊氧化層，可例如為氧化矽層，其厚度可大約為50-300 Å，形成方法例如是在攝氏850-950度之溫度下進行熱氧化程序(thermal oxidation)或是以常壓化學氣相沉積(APCVD)、低壓化學氣相沉積

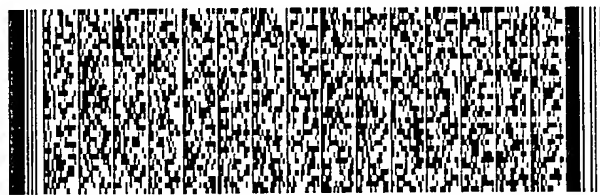
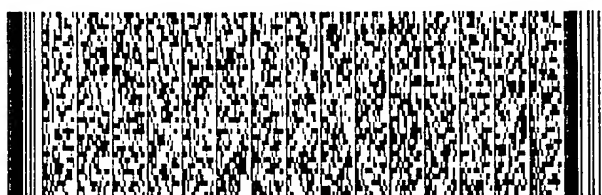


#### 五、發明說明 (7)

(LPCVD) 方式形成；該墊氮化矽層，其厚度可大約為 1000-2000 Å，形成方法係在 750-800 °C 下以  $\text{SiCl}_2\text{H}_2$  及  $\text{NH}_3$  之混合氣體進行低壓化學氣相沉積。

接著，請參照第 2b 圖，依序形成一第一硬罩幕層 110 及一第二硬罩幕層 112 於該墊層結構上，並在第二硬罩幕層 112 表面上塗佈一光阻層，並施行適當的微影製程定義出所需的光阻圖案 120。其中，該第一硬罩幕層 110 之材質可為硼磷矽玻璃 (BPSG)、砷矽玻璃 (AsSG)、磷矽玻璃 (PSG) 或是硼矽玻璃 (BSG)，例如為硼矽玻璃 (BSG)，其形成方法係以  $\text{SiH}_4$ 、 $\text{BF}_3$  及  $\text{B}_2\text{H}_6$  之混合氣體進行化學氣相沉積步驟，形成之厚度係可為 8000-15000 Å，而在此較佳實施例中可例如為 13000 Å；該第二硬罩幕層 112 之材質係可為複晶矽 (polysilicon) 或摻雜之複晶矽，形成方法可例如為利用同步攪雜之低壓化學氣相沉積法 (LPCVD) 形成，其反應氣體是  $\text{PH}_3$ 、 $\text{SiH}_4$  與  $\text{N}_2$  或  $\text{AsH}_3$ 、 $\text{SiH}_4$  與  $\text{N}_2$  的混合氣體，反應溫度介於 500 到 650 °C 之間，其雜質離子濃度介於  $1\text{E}20$  到  $1\text{E}21$  原子 / 立方公分之間，形成之厚度係可為 500-5000 Å，而在此較佳實施例中可例如為 3000 Å。

接著，請參照第 2c 圖，利用圖案化之光阻層 120 當作蝕刻罩幕，對第二硬罩幕層 112 施行一非等向性蝕刻程序，可例如為磁場增強式活性離子式電漿蝕刻法 (MERIE)、電子迴旋共振電漿蝕刻法 (ECR) 或傳統的活性離子式電漿蝕刻法 (RIE)，其電漿反應氣體可例如為六氟化硫 ( $\text{SF}_6$ )、氧 ( $\text{O}_2$ )、氯 ( $\text{Cl}_2$ ) 和溴化氫 (HBr) 之混合氣體，以將光阻

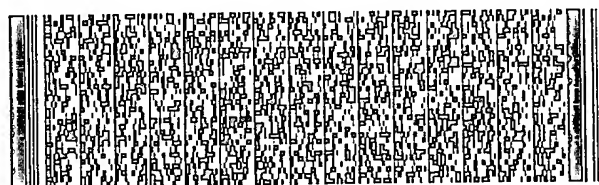
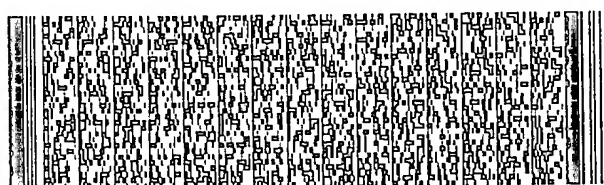


#### 五、發明說明 (8)

層120的圖案轉移至第二硬罩幕層112上，並露出部份之第一硬罩幕層110表面，且形成一位於第二罩幕層112及第一罩幕層110表面內之一第一開口130。而該第一開口130的寬度範圍大致為作為溝槽型電容之溝槽的寬度範圍。然後，再以適當溶液或乾式蝕刻程序去除光阻層。

接著，請參照第2d圖，順應性形成一間隔層124於該第二硬罩幕層112及該第一開口130上，其中該間隔層124係由介電材質所構成，可例如為一含氮之矽化物，其形成方式可為低壓化學氣相沈積法(LPCVD)、電漿增強式化學氣相沈積法(PECVD)、高密度電漿化學氣相沈積法(HDPCVD)、大氣壓化學氣相沉積法(APCVD)或次大氣壓化學氣相沉積法(SACVD)，例如為利用低壓化學氣相沉積法，以二氯矽烷( $\text{SiCl}_2\text{H}_2$ )與氨氣( $\text{NH}_3$ )為反應原料沉積而成。然後，請參照第2e圖，非等向性蝕刻該間隔層124，例如利用反應性離子蝕刻(reactive ion etching, RIE)程序，去除位於該第二硬罩幕層112及部份該第一硬罩幕層110表面上之間隔層124，形成一位於該間隔層124及第一罩幕層110表面內之一第二開口132。上述步驟係為一自我對準蝕刻步驟。其中在蝕刻部份之該間隔層124以露出該第二開口132的步驟中，該第二開口132的寬度係與形成之該間隔層124的厚度成反比。

接著，請參照第2f圖，形成一第三硬罩幕層114於露出之該第一硬罩幕層110表面以填滿該第二缺口130，並對該第三硬罩幕層114進行一平坦化製程以去除形成於該第

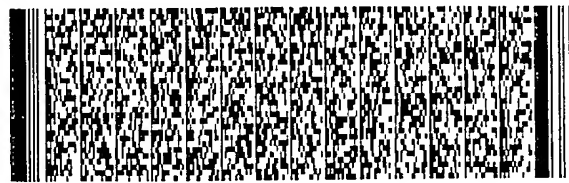


#### 五、發明說明 (9)

二缺口130外之該第三硬罩幕層114。其中，該第三硬罩幕層114與該第二硬罩幕層112可由相同或是不同的材質所構成，且該第三硬罩幕層114及該第二硬罩幕層112之組成材質與該間隔層124或該第一硬罩幕層之組成材質不同。該第三硬罩幕層114可例如為複晶矽，其反應氣體是 $\text{PH}_3$ 、 $\text{SiH}_4$ 與 $\text{N}_2$ 或 $\text{AsH}_3$ 、 $\text{SiH}_4$ 與 $\text{N}_2$ 的混合氣體，反應溫度介於500到650℃之間；而上述之平坦化製程可例如為利用一化學機械研磨法去除形成於該第二缺口130外之該第三硬罩幕層114。其中該幾何形狀溝槽之該中間突出部份的寬度係與該第二開口的寬度成正比。

接著，請參照第2g圖，以一選擇性蝕刻方式完全去除該間隔層124，以露出該第一硬罩幕層110表面，其中去除該間隔層124之蝕刻方式可為一溼蝕刻，例如使用經加熱的磷酸(phosphoric acid)來進行作為該間隔層124之氮化矽的蝕刻。接著，請參照第2h圖，以該第二硬罩幕層112與該第三硬罩幕層114作為蝕刻罩幕，對該第一硬罩幕層110進行蝕刻，以使該第一硬罩幕層110於該墊層結構102表面上構成一第三缺口134，且該第一硬罩幕層110於該第三缺口134內具有一第一硬罩幕層突出部份110a，然後再以蝕刻方式完全去除該第二硬罩幕層112與該第三硬罩幕層114，例如以反應離子蝕刻(reactive ion etching, RIE)方式。

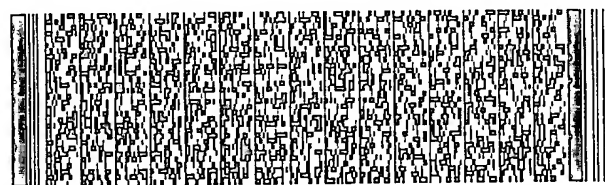
接著，請參照第2i圖，蝕刻該第一硬罩幕層110、該第一硬罩幕層突出部份110a、該墊層結構102及該基板



##### 五、發明說明 (10)

100，直至完全移除該第一硬罩幕層突出部份110a，以在基板100中形成一環狀凹槽136。由於該第一硬罩幕層突出部份110a係位於該第三缺口134內而凸出於該墊層結構102表面，使得該蝕刻程序除了從其頂部外，更可由四周對該第一硬罩幕層突出部份110a進行蝕刻，導致該第一硬罩幕層突出部份110a之蝕刻速率較該第一硬罩幕層110其他部份之蝕刻速率來的快許多，所以當以蝕刻完全移除該第一硬罩幕層突出部份110a時，仍有該第一硬罩幕層110位於該環狀凹槽136外之該墊層結構上。

接著，請參照第2j圖，蝕刻該基板100所構成之該環狀凹槽136，形成一具一中間突出部份106之幾何形狀溝槽138於該基板100中，與上述步驟不同的是，本步驟之蝕刻重點為基板100所構成之該環狀凹槽136。其中蝕刻該基板所構成之該環狀凹槽136之方式可為一非等向性蝕刻，例如利用反應離子蝕刻 (reactive ion etching, RIE)，並以該第一硬罩幕層110作為犧牲層。在蝕刻過程時，該第一硬罩幕層110需具有一必要厚度以保持其作為蝕刻罩幕之功用，必要時可在該第一硬罩幕層110上形成一光阻層以作為蝕刻之犧牲層。於本發明中，該中間突出部份106之高度及該幾何形狀溝槽138之深度可藉由改變第一硬罩幕層110與該基板之蝕刻選擇比來調變，而該幾何形狀溝槽138之深度亦可由改變作為蝕刻犧牲層之該第一硬罩幕層110的厚度來調變。最後，請參照第2k圖，形成埋層電極板140、環絕緣層150、第一導電層142及第二導電層

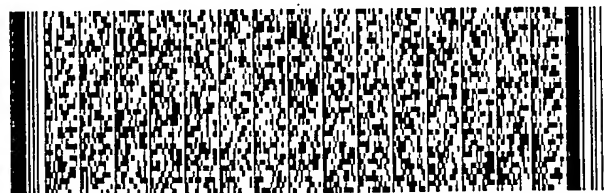


#### 五、發明說明 (11)

144 於幾何形狀溝槽138內以構成一深溝槽電容器。其中形成埋層電極板140的方法可利用摻雜砷之二氧化矽玻璃(Arsenic Doped Silicon Dioxide Glass; ASG)層及四乙氧基矽烷(TEOS)層形成於幾何形狀溝槽138內，然後進行驅入(drive in)而於該瓶型溝槽之側壁內部埋層電極板140。

綜上所述，本發明與習知技術相比較，本發明所述之具有幾何形狀溝槽之溝槽型電容的製程具有數項優點。首先，本發明係利用複數硬罩幕層之製程方式以改變溝槽型電容之溝槽形狀，在不增加溝槽深度及溝槽底部寬度之情況下，以具有幾何形狀之溝槽有效地增加溝槽型電容之表面積及儲存電容之能力，此作法避免了習知瓶型溝槽電容其製程困難、不易控制溝槽底部瓶形結構及易形成幾何結構上之干擾等問題。

其次，在為求動態隨機存取記憶體之容量增加之情況下，記憶體中記憶胞的基底面積必須不斷減少使積體電路能容納大量記憶胞而提高密度，因此動態隨機存取記憶體在製程設計上亦朝縮小半導體元件尺寸以提高密度之方向發展，故電容之溝槽寬度也隨之縮小。然而，當溝槽寬度不斷地縮減，製程困難度也不斷地提高。當動態隨機存取記憶體製程達 $0.11\ \mu\text{m}$ 時，此時欲以微影蝕刻製程定義出如第二開口132之細密圖型是非常困難的。而本發明所述之具有幾何形狀溝槽之溝槽型電容的製程，係以一自我對

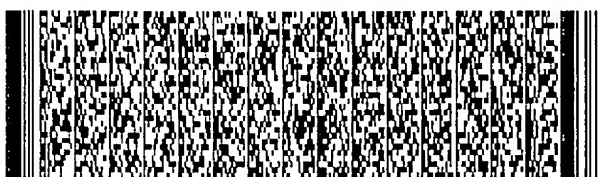




#### 五、發明說明 (12)

準蝕刻步驟來進行具有幾何形狀溝槽之形成，即使在動態隨機存取記憶體製程達 $0.11\ \mu\text{m}$ 時，仍能在溝槽型電容之溝槽底部形成一突出部份以改變溝槽幾何形狀，進而增加表積以提昇儲存電容之能力。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



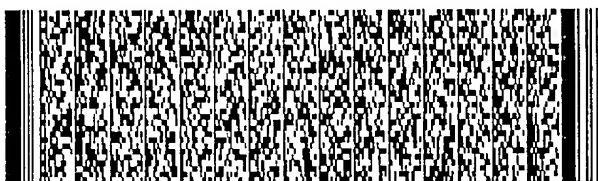
#### 圖式簡單說明

第1a圖至第1d圖均為結構剖面圖，係繪示一習知之瓶狀溝槽型電容的製造流程。

第2a圖至第2k圖均為結構剖面圖，係繪示根據本發明一較佳實施例之具有幾何形狀溝槽之溝槽型電容的製造流程。

#### 【符號說明】

- 10~矽基底；
- 12~圖案化墊層；
- 13~開口微距；
- 14~溝槽；
- 15~溝槽底部微距；
- 16~上部周圍部份；
- 18~下部周圍部份；
- 20~複晶矽犧牲層；
- 22~光阻層；
- 24~瓶狀部份；
- 100~基板；
- 102~墊層結構；
- 106~中間突出部份；
- 110~第一硬罩幕層；
- 110a~第一硬罩幕層突出部份；
- 112~第二硬罩幕層；
- 114~第三硬罩幕層；



圖式簡單說明

- 120~ 案化之光阻層；
- 124~ 間隔層；
- 130~ 第一開口；
- 132~ 第二開口；
- 134~ 第三開口；
- 136~ 環狀凹槽；
- 138~ 幾何形狀溝槽；
- 140~ 埋層電極板；
- 142~ 第一導電層；
- 144~ 第二導電層；以及
- 150~ 環絕緣層。



## 六、申請專利範圍

1. 一種具有幾何形狀溝槽之溝槽型電容的製程，包括：

提供一基底；

形成一墊層結構於該基底表面；

形成一第一硬罩幕層於該墊層結構上；

形成一圖案化之第二硬罩幕層於該第一硬罩幕層上，並露出部份之該第一硬罩幕層表面以構成一第一開口；

形成一間隔層於上述第一開口側壁以構成一較小之第二開口；

形成一第三硬罩幕層以填滿該第二開口；

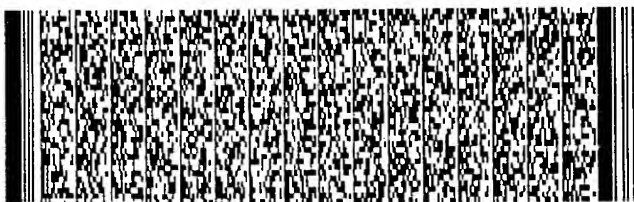
去除該間隔層，並以該第二硬罩幕層與該第三硬罩幕層作為蝕刻罩幕蝕刻該第一硬罩幕層，形成一具一第一硬罩幕層突出部份之第三開口；

去除該該第二硬罩幕層與該第三硬罩幕層；以及

蝕刻該第一硬罩幕層、該第一硬罩幕層突出部份、該墊層結構及該基板，以形成一具一中間突出部份之幾何形狀溝槽於該基板中。

2. 如申請專利範圍第1項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中在形成該第三硬罩幕層於該第二開口的步驟中，更包括對該第三硬罩幕層進行一平坦化製程以去除形成於該第二開口外之該第三硬罩幕層。

3. 如申請專利範圍第2項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中該平坦化製程係為一化學機械研磨法。



#### 六、申請專利範圍

4. 如申請專利範圍第1項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中該第一硬罩幕層材質係擇自由硼磷矽玻璃(BPSG)、砷矽玻璃(AsSG)、磷矽玻璃(PSG)及硼矽玻璃(BSG)所組成之族群中。

5. 如申請專利範圍第1項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中該第二硬罩幕層材質係為複晶矽(poly silicon)或摻雜之複晶矽。

6. 如申請專利範圍第1項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中構成該第二硬罩幕層的材質係與構成該第三硬罩幕層的材質相同。

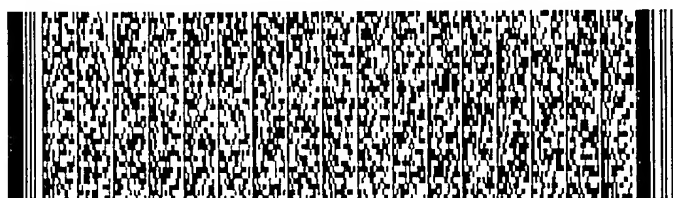
7. 如申請專利範圍第1項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中該間隔層係由介電材質所構成。

8. 如申請專利範圍第1項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中形成該間隔層介電層之方法係包括低壓化學氣相沈積法(LPCVD)、電漿增強式化學氣相沈積法(PECVD)、高密度電漿化學氣相沈積法(HDPCVD)、大氣壓化學氣相沉積法(APCVD)或次大氣壓化學氣相沉積法(SACVD)。

9. 如申請專利範圍第1項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中形成該墊層結構於該基底表面之步驟係包括：

形成一墊氧化層於該基底表面；以及

形成一墊氮化矽層於該墊氧化層表面，其中該墊氧化層及該墊氮化矽層係構成該墊層結構。



#### 六、申請專利範圍

10. 如申請專利範圍第1項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中蝕刻該第一硬罩幕層、該第一硬罩幕層突出部份、該墊層結構及該基板，以形成一具一中間突出部份之幾何形狀溝槽於該基板中之步驟係包括：

蝕刻該第一硬罩幕層、該第一硬罩幕層突出部份、該墊層結構及該基板，直至完全移除該第一硬罩幕層突出部份，以在基板中形成一環狀凹槽；以及

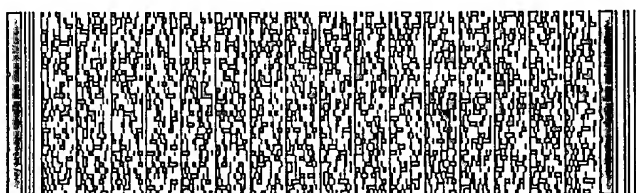
蝕刻該基板所構成之該環狀凹槽及露出之該墊層結構，以形成一具一中間突出部份之幾何形狀溝槽於該基板中。

11. 如申請專利範圍第10項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中在蝕刻該第一硬罩幕層、該第一硬罩幕層突出部份、該墊層結構及該基板的步驟中，當完全移除該第一硬罩幕層突出部份時，仍有該第一硬罩幕層位於該環狀凹槽外之該墊層結構上。

12. 如申請專利範圍第1項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中在蝕刻部份之該間隔層以露出該第二開口的步驟中，該第二開口的寬度係與形成之該間隔層的厚度成反比。

13. 如申請專利範圍第12項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中該幾何形狀溝槽之該中間突出部份的寬度係與該第二開口的寬度成正比。

14. 如申請專利範圍第1項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中在形成一具一中間突出部份之幾



#### 六、申請專利範圍

何形狀溝槽於該基板之步驟後，更包括：

形成一埋層電極板於構成上述幾何形狀溝槽之部分上述基板內；以及

形成一環(collar)絕緣層及一至少一層之導電層於上述幾何形狀溝槽內。

15. 一種具有幾何形狀溝槽之溝槽型電容的製程，包括：

提供一基底；

形成一墊層結構於該基底表面，該墊層結構依序由一墊氧化層與一墊氮化矽層所構成；

形成一第一硬罩幕層於該墊層結構上；

形成一圖案化之第二硬罩幕層於該第一硬罩幕層上，並露出部份之該第一硬罩幕層表面以構成一第一開口；

形成一間隔層於上述第一開口側壁以構成一較小之第二開口；

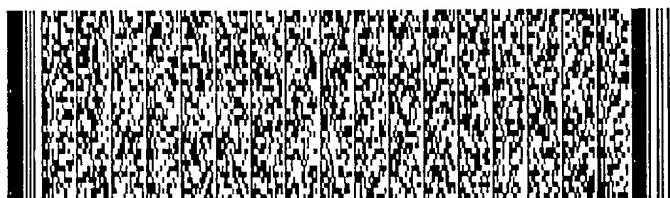
形成一第三硬罩幕層於露出之該第一硬罩幕層表面以填滿該第二開口；

對該第三硬罩幕層進行一平坦化製程以去除形成於該第二開口外之該第三硬罩幕層；

去除該間隔層，並以該第二硬罩幕層與該第三硬罩幕層作為蝕刻罩幕蝕刻該第一硬罩幕層，形成一具一第一硬罩幕層突出部份之第三開口；

去除該第二硬罩幕層與該第三硬罩幕層；

蝕刻該第一硬罩幕層、該第一硬罩幕層突出部份、該



#### 六、申請專利範圍

墊層結構及該基板，直至完全移除該第一硬罩幕層突出部份，以在基板中形成一環狀凹槽；以及

蝕刻該基板所構成之該環狀凹槽，以形成一具一中間突出部份之幾何形狀溝槽於該基板中。

16. 如申請專利範圍第15項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中該平坦化製程係為一化學機械研磨法。

17. 如申請專利範圍第15項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中構成該墊層結構之該墊氧化層係由熱氧化法所形成。

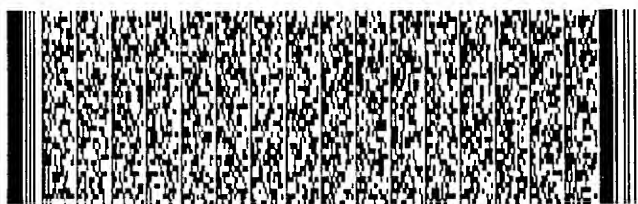
18. 如申請專利範圍第15項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中該第一硬罩幕層材質係擇自由硼磷矽玻璃(BPSG)、砷矽玻璃(AsSG)、磷矽玻璃(PSG)及硼矽玻璃(BSG)所組成之族群中。

19. 如申請專利範圍第15項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中該第二硬罩幕層材質係為複晶矽(poly silicon)或摻雜之複晶矽。

20. 如申請專利範圍第15項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中構成該第二硬罩幕層的材質係與構成該第三硬罩幕層的材質相同。

21. 如申請專利範圍第15項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中該間隔層係由介電材質所構成。

22. 如申請專利範圍第15項所述之具有幾何形狀溝槽





#### 六、申請專利範圍

之溝槽型電容的製程，其中形成該間隔層介電層之方法係包括低壓化學氣相沈積法(LPCVD)、電漿增強式化學氣相沈積法(PECVD)、高密度電漿化學氣相沈積法(HDPCVD)、大氣壓化學氣相沉積法(APCVD)或次大氣壓化學氣相沉積法(SACVD)。

23. 如申請專利範圍第15項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中在蝕刻該第一硬罩幕層、該第一硬罩幕層突出部份、該墊層結構及該基板的步驟中，當完全移除該第一硬罩幕層突出部份時，仍有該第一硬罩幕層位於該環狀凹槽外之該墊層結構上。

24. 如申請專利範圍第15項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中在蝕刻部份之該間隔層以露出該第二開口的步驟中，該第二開口的寬度係與形成之該間隔層的厚度成反比。

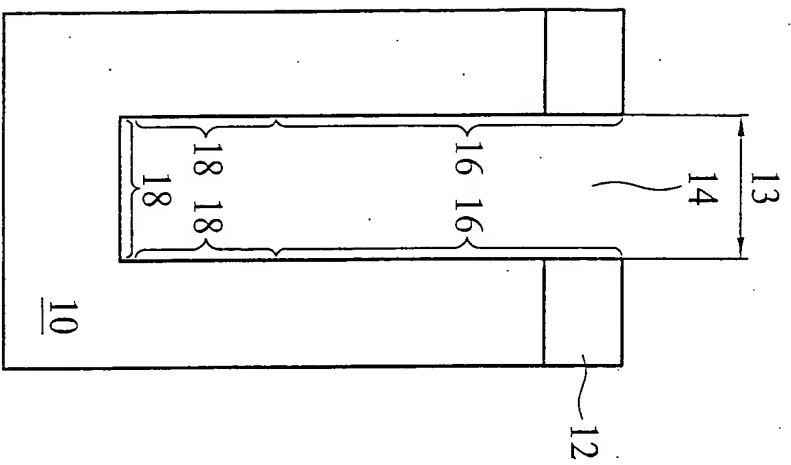
25. 如申請專利範圍第24項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中該幾何形狀溝槽之該中間突出部份的寬度係與該第二開口的寬度成正比。

26. 如申請專利範圍第15項所述之具有幾何形狀溝槽之溝槽型電容的製程，其中在形成一具一中間突出部份之幾何形狀溝槽於該基板之步驟後，更包括：

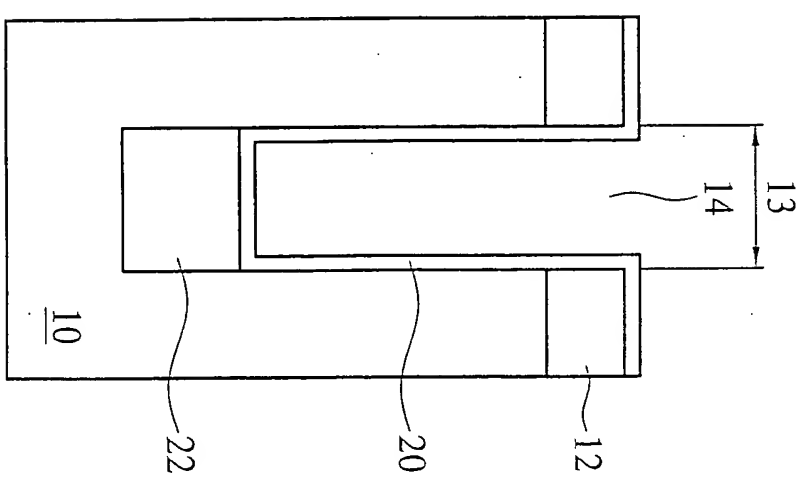
形成一埋層電極板於構成上述幾何形狀溝槽之部分上述基板內；以及

形成一環(collar)絕緣層及至少一層之導電層於上述幾何形狀溝槽內。

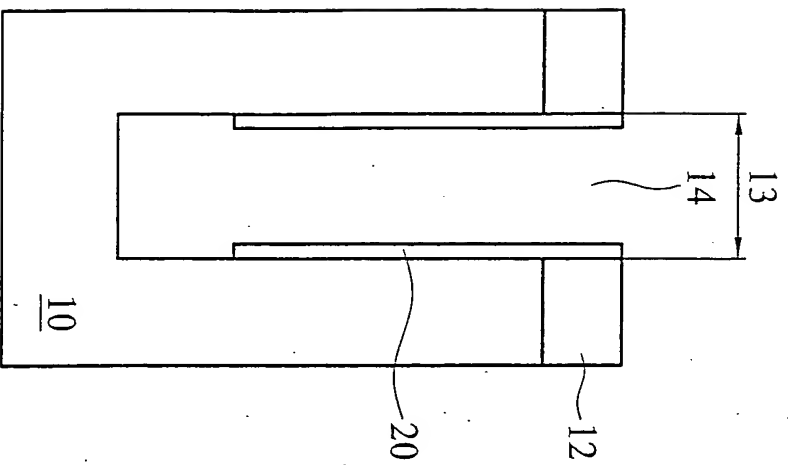




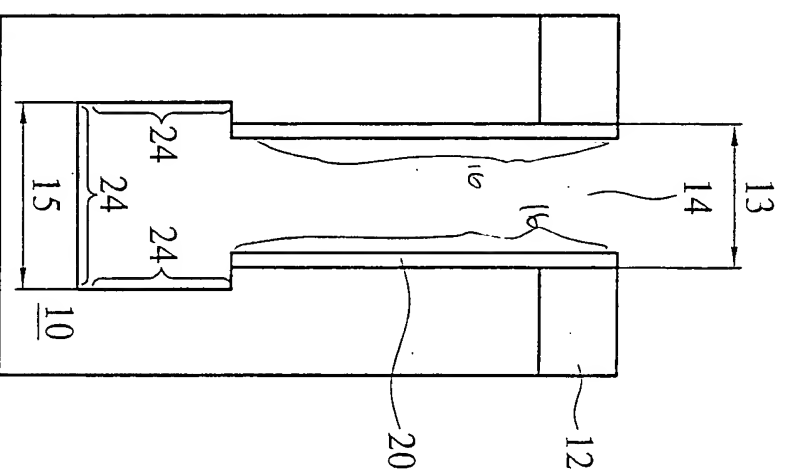
第1a圖



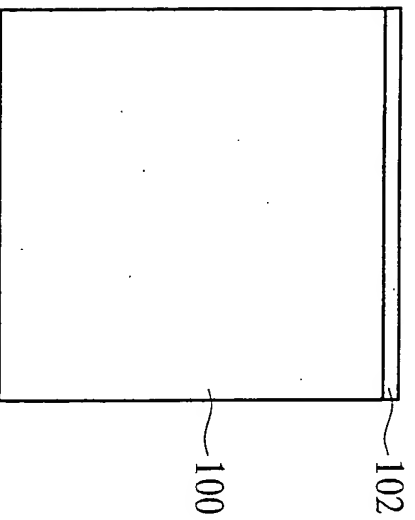
第1b圖



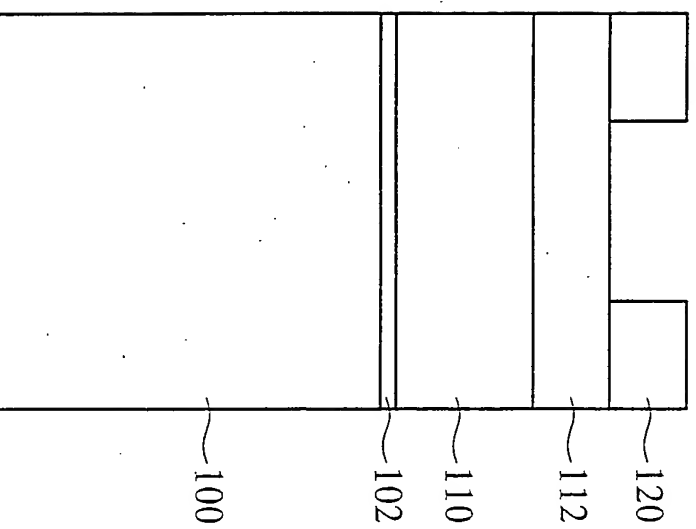
第1c圖



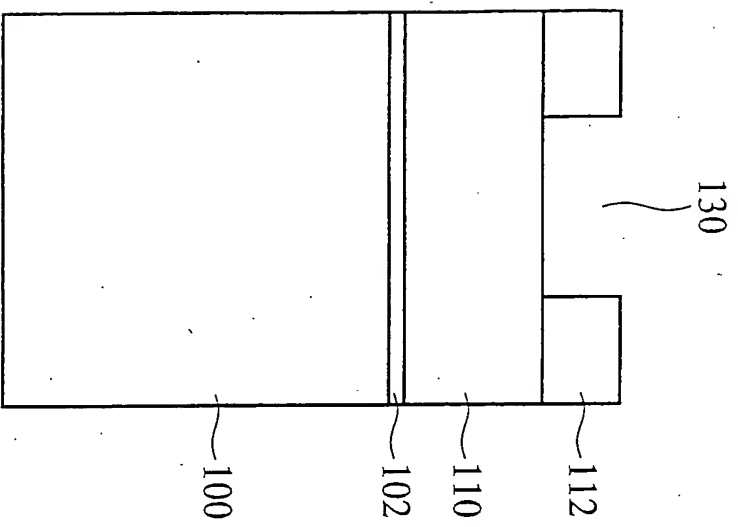
第1d圖



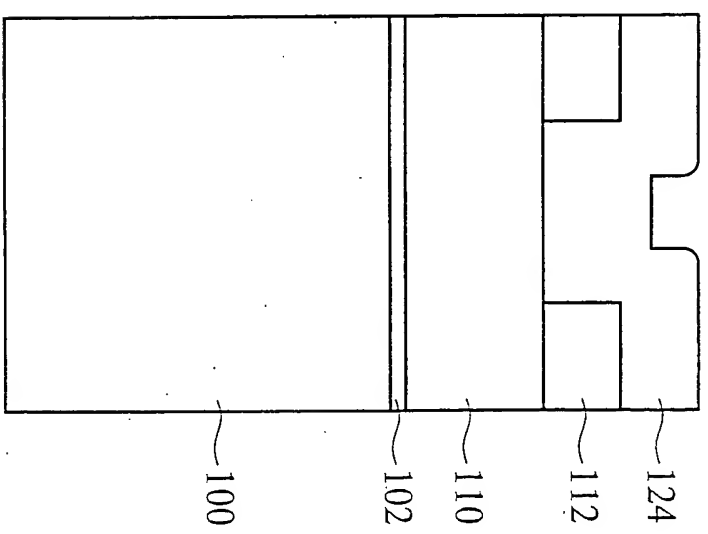
第2a圖



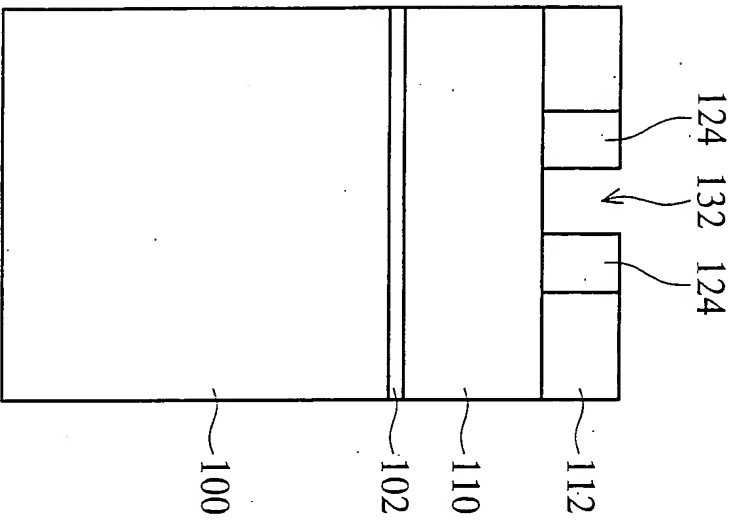
第2b圖



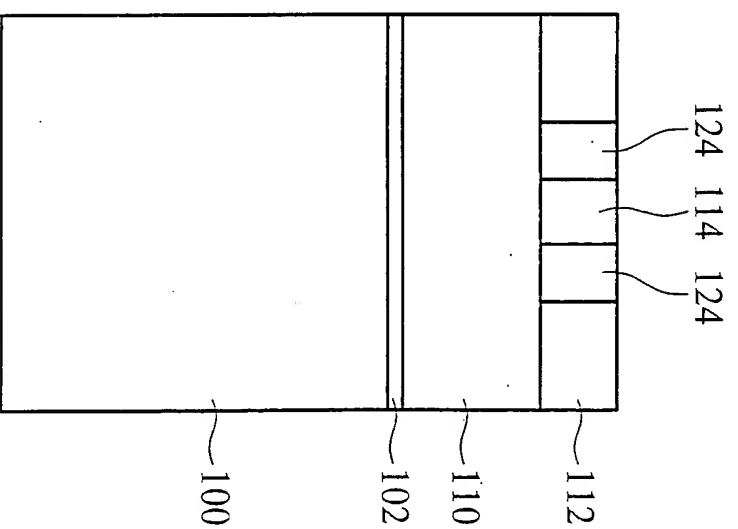
第2c圖



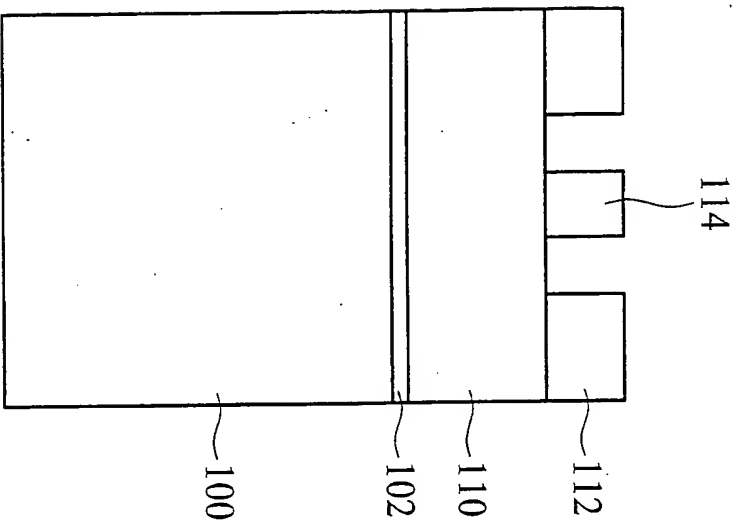
第2d圖



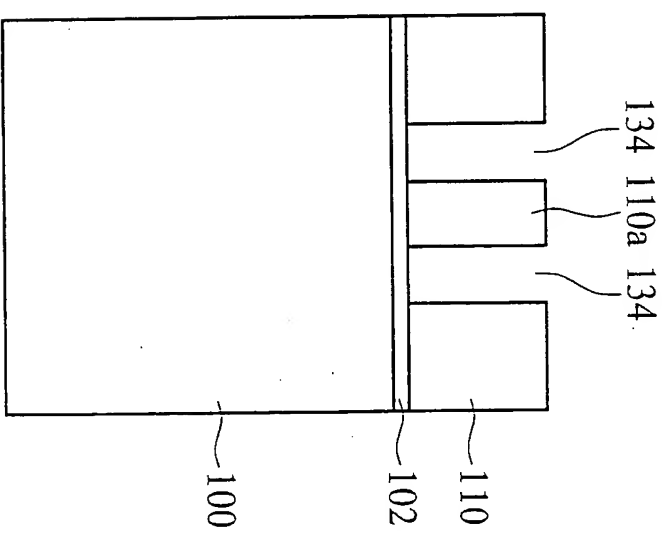
第2e圖



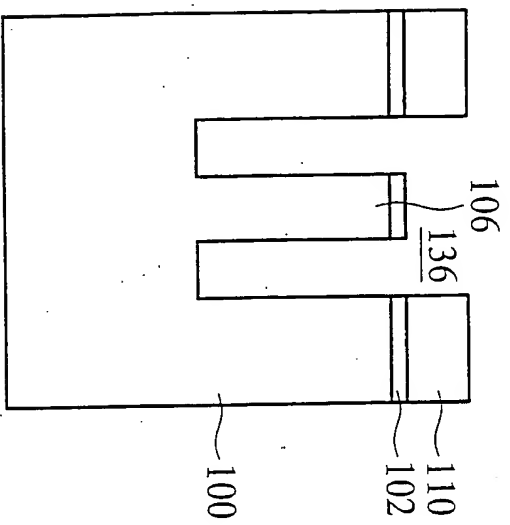
第2f圖



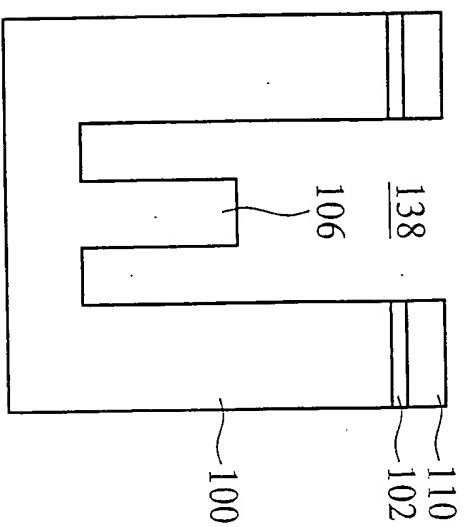
第2g圖



第2h圖

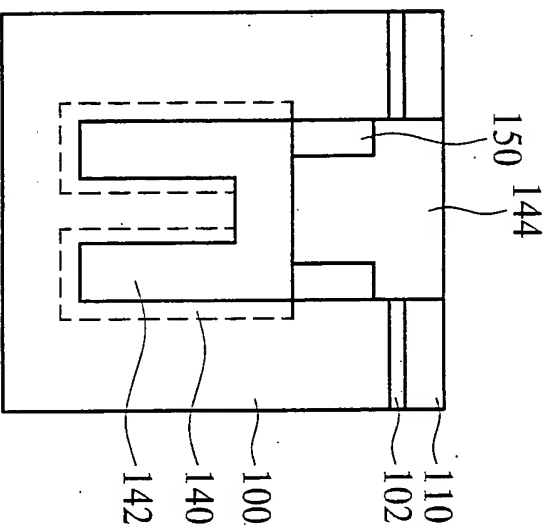


第2i圖



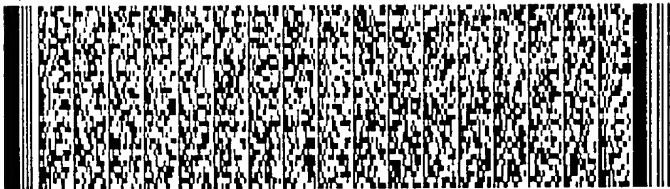
第2j圖



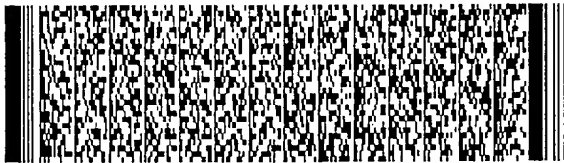


第2K圖

第 1/24 頁



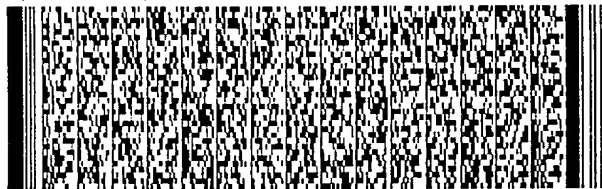
第 2/24 頁



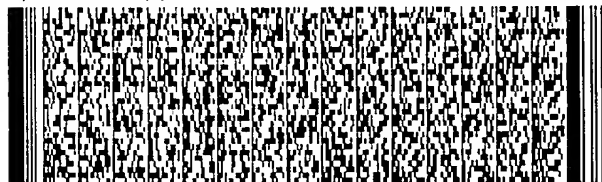
第 4/24 頁



第 5/24 頁



第 6/24 頁



第 7/24 頁



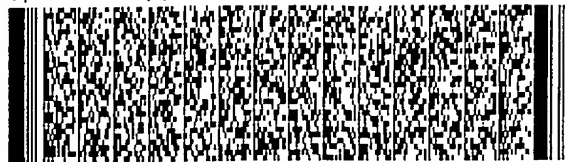
第 8/24 頁



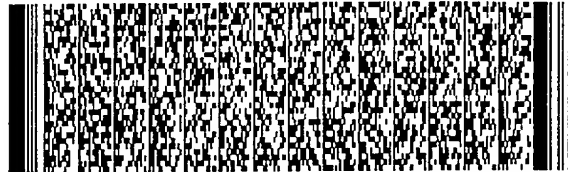
第 9/24 頁



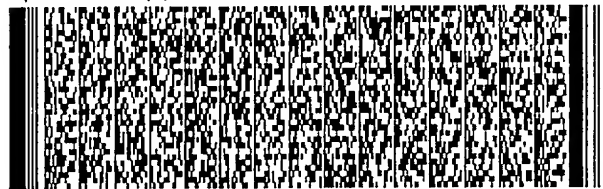
第 2/24 頁



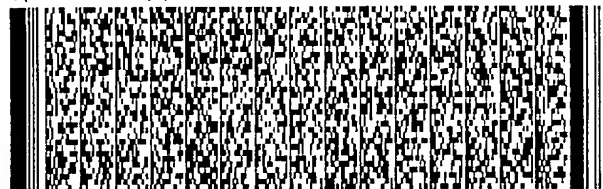
第 3/24 頁



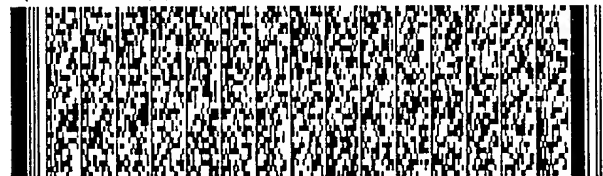
第 5/24 頁



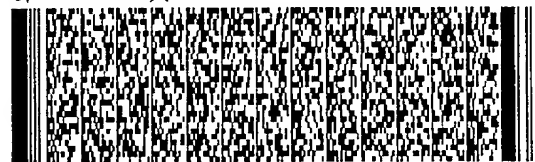
第 6/24 頁



第 7/24 頁



第 8/24 頁



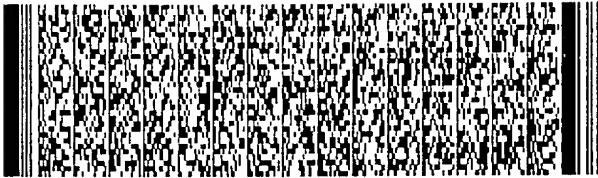
第 9/24 頁



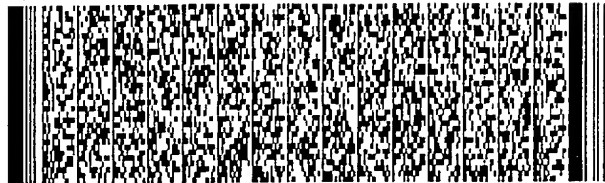
第 10/24 頁



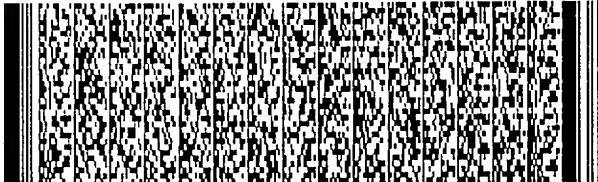
第 10/24 頁



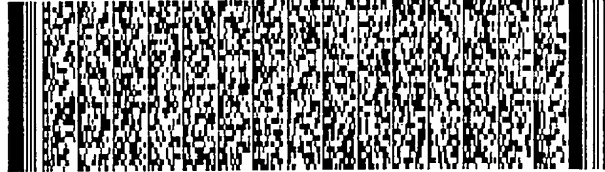
第 11/24 頁



第 11/24 頁



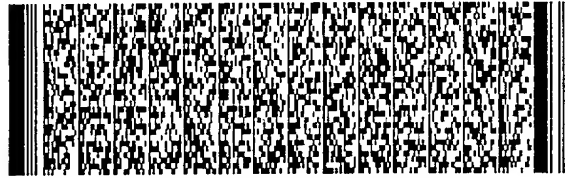
第 12/24 頁



第 12/24 頁



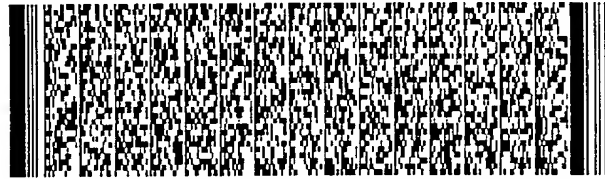
第 13/24 頁



第 13/24 頁



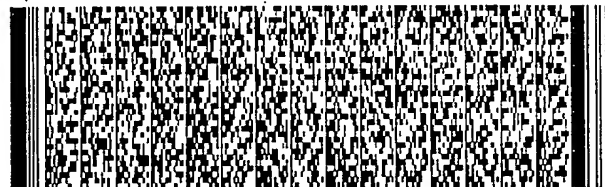
第 14/24 頁



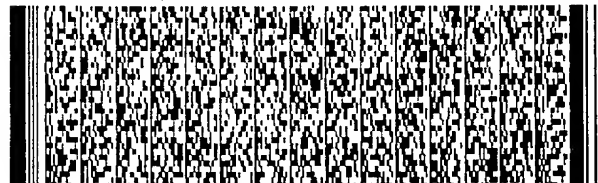
第 14/24 頁



第 15/24 頁



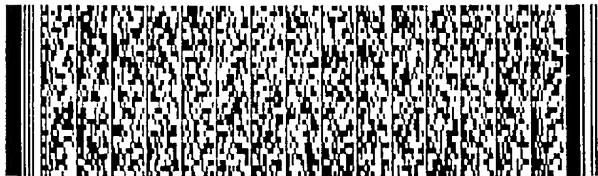
第 15/24 頁



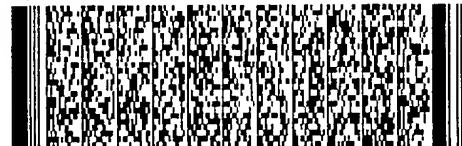
第 16/24 頁



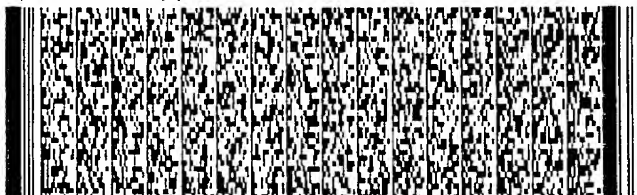
第 17/24 頁



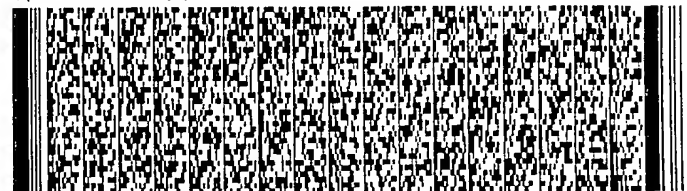
第 18/24 頁



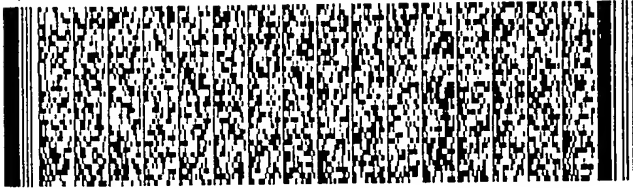
第 19/24 頁



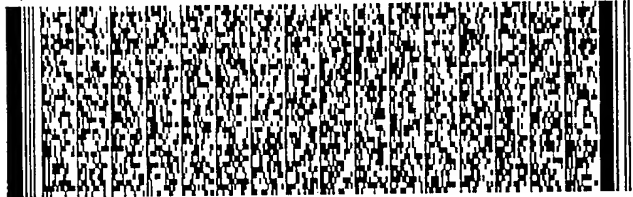
第 20/24 頁



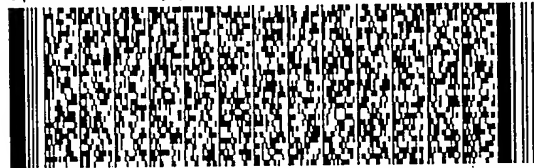
第 21/24 頁



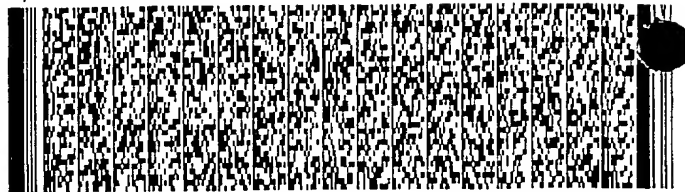
第 23/24 頁



第 24/24 頁



第 22/24 頁



第 24/24 頁

